

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-222656

(43)Date of publication of application : 30.08.1996

(51)Int.Cl. H01L 23/12
H05K 1/16
H05K 1/18
// H05K 1/11

(21)Application number : 07-028003

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 16.02.1995

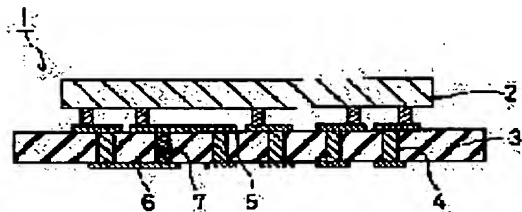
(72)Inventor : NAKAMURA YOSHIFUMI
BESSHO YOSHIHIRO
ITAGAKI MINEHIRO
TOMURA YOSHIHIRO
MIURA KAZUHIRO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To reduce the manufacturing cost of a semiconductor device by decreasing the number of one kind of electronic device, i.e., capacitor, to be mounted.

CONSTITUTION: A part of a circuit pattern, i.e., a via hole 4, formed in a ceramic wiring board 3 mounting a semiconductor element 2 is filled with a dielectric 7 and a ground potential wiring 5 is formed on the element side surface of the board 3 while a power supply potential wiring 6 is formed on the opposite surface thus forming a capacitor creating region at the via hole part. Consequently, a capacitor can be formed within a very small region in the board thus realizing a high density ceramic wiring board 3 mounting small number of devices.



LEGAL STATUS

[Date of request for examination] 03.07.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3062413

[Date of registration] 28.04.2000

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平8-222656

(43) 公開日 平成 8 年 (1996) 8 月 30 日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12			H 0 1 L 23/12	N
H 0 5 K 1/16		7511-4E	H 0 5 K 1/16	D
	1/18			J
// H 0 5 K 1/11		6921-4E		H
			H 0 1 L 23/12	B

審査請求 未請求 請求項の数 3 O L (全 4 頁) 最終頁に続く

(21) 出願番号 特願平7-28003

(22) 出願日 平成 7 年 (1995) 2 月 16 日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 中村 嘉文

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 別所 芳宏

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 板垣 峰広

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 池内 寛幸 (外 1 名)

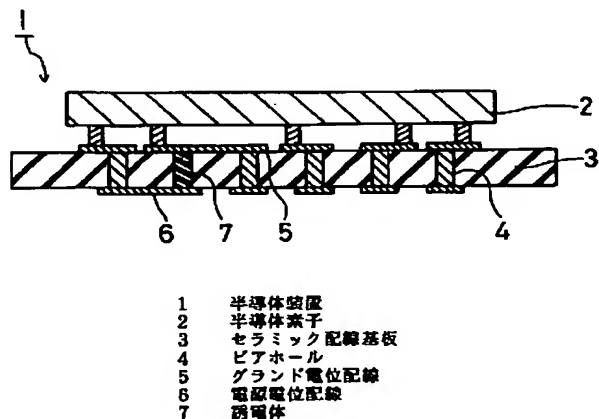
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 電子部品の 1 つであるコンデンサという実装部品を削減することにより、低コストの半導体装置を得る。

【構成】 半導体素子 2 を実装したセラミック配線基板 3 内に形成された回路パターンの一部であるビアホール 4 に、誘電体 7 を充填し、基板 3 の素子側の面にグランド電位配線 5、反対面に電源電位配線 6 を形成することにより、ビアホール部にコンデンサ発生領域を形成する。基板内部の非常に小さな領域にコンデンサを形成でき、高密度で、かつ実装部品数の少ないセラミック配線基板 3 を作製できる。



【特許請求の範囲】

【請求項 1】 半導体素子を備えたセラミック配線基板を含む半導体装置において、セラミック配線基板の内部に、導電性物質を充填したビアホールと誘電性物質を充填したビアホールを備えたことを特徴とする半導体装置。

【請求項 2】 半導体素子を備えたセラミック配線基板の第一面にグランド電位の導体層を備え、セラミック配線基板の第二面に電源電位の導体層を備え、第一面の電位と第二面の電位とが異なる前記グランド電位の導体層と電源電位の導体層とに挟まれ、かつ誘電性物質を充填したビアホールからなる容量発生領域を備えた請求項 1 記載の半導体装置。

【請求項 3】 半導体素子を備えたセラミック配線基板の半導体素子側に電極を 1 層、反対面に電極を 1 層備えた請求項 1 又は請求項 2 記載の半導体装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は電子部品を実装する配線基板内に容量発生領域（バイパスコンデンサ）を持つ半導体装置に関するものである。

【0002】

【従来の技術】 現在、製造されている回路基板内では様々な雑音が発生している。この雑音は回路動作に悪影響を及ぼし、回路の誤動作を起こす要因となっている。そこで回路設計者は回路設計時に基板内雑音防止対策の 1 つとして半導体装置の近傍にバイパスコンデンサを挿入した回路を作成する。このバイパスコンデンサは半導体装置のグランド電位部と電源電位部との間に挿入されるコンデンサで、基板内雑音の防止に対して大変有効であり、一般的によく利用される。前記コンデンサの実装部品のタイプは挿入部品、面実装部品などがあり、種類としてはセラミックコンデンサ、タンタル電解コンデンサなどがある。また、セラミック多層配線基板においては、層内に容量発生領域を有するものもある。この方式によると、配線基板上の電子部品数を少なくすることができ、部品コストを少なくでき、また配線基板の部品実装面を有効に使用できる。これらの理由でセラミック多層配線基板においてはコンデンサ内蔵の基板も使用されつつある。図 2 は従来のコンデンサ内蔵の半導体装置の断面図の一例である。

【0003】 図 2 に示す半導体装置 21 では、半導体素子 22 と電極 24 を備えたセラミック基板 23 の内部のビアホール 25 とビアホール 25 の間に内層電極 26 と誘電体 27 からなる容量発生領域を形成してバイパスコンデンサとしている。例えば特開平 4-280496 号公報に提案された方法によると、セラミック組成のグリーンシートに所望のビアを形成し、そのビアに導体ペーストを充填する。前記シートに導体ペーストにて内層電極パターンをスクリーン印刷し、配線パターンが覆われ

るように誘電体ペーストをスクリーン印刷する。この印刷物を乾燥した後、導体ペーストにて誘電体形成部上に内層電極 26 を印刷する。前記工程を繰り返し、導電層と誘電体層を交互に形成し、容量発生領域を形成する。

【0004】

【発明が解決しようとする課題】 しかしながらこの方法によると、電子部品数を減らすことはできるが、セラミック基板内に容量発生領域を形成する際に導体と誘電体を交互に数回印刷する必要があり、工数が多くなる。また内層を形成するには、少なくとも 4 層以上の多層基板となってしまう。さらには配線領域が小さくなる等の問題もある。

【0005】 本発明は上記課題を解決するため、高密度で、かつ部品数のセラミック配線基板を提供し、高機能で安価なパッケージの供給を可能にすることを目的とする。

【0006】

【課題を解決するための手段】 前記目的を達成するため、本発明の半導体装置は、半導体素子を備えたセラミック配線基板を含む半導体装置において、セラミック配線基板の内部に導電性物質を充填したビアホールと誘電性物質を充填したビアホールとを備えたことを特徴とする。

【0007】 前記構成においては、半導体素子を備えたセラミック配線基板の第一面にグランド電位の導体層を備え、セラミック配線基板の第二面に電源電位の導体層を備え、第一面の電位と第二面の電位とが異なる前記グランド電位の導体層と電源電位の導体層とに挟まれ、かつ誘電性物質を充填したビアホールからなる容量発生領域を備えることが好ましい。

【0008】 また前記構成においては、半導体素子を備えたセラミック配線基板の半導体素子側に電極を 1 層、反対面に電極を 1 層備えることが好ましい。

【0009】

【作用】 前記本発明の半導体装置によれば、セラミック配線基板の内部に導電性物質を充填したビアホールと誘電性物質を充填したビアホールとを備えたことにより、雑音対策に有効なバイパスコンデンサを基板上に実装する必要がなくなり、コンデンサ部品を減らすことができ、部品のコスト削減が可能となる。

【0010】 また半導体素子を備えたセラミック配線基板の第一面にグランド電位の導体層を備え、セラミック配線基板の第二面に電源電位の導体層を備え、第一面の電位と第二面の電位とが異なる前記グランド電位の導体層と電源電位の導体層とに挟まれ、かつ誘電性物質を充填したビアホールからなる容量発生領域を備えるという本発明の好ましい例によれば、非常に小さな領域にコンデンサを内蔵させることができる。また半導体素子を備えたセラミック配線基板の半導体素子側に電極を 1 層、反対面に電極を 1 層備えるという本発明の好ましい例に

よれば、コンデンサ内蔵基板を２層基板で構成することが可能となる。

【００１１】

【実施例】以下本発明を実施例を用いて具体的に説明する。図１は本実施例におけるセラミック配線基板にコンデンサを内蔵した半導体装置１の断面図を示す。この半導体装置は、半導体素子２及びセラミック配線基板３を備え、基板３の素子側の面にはグランド電位配線５、反対面には電源電位配線６が形成されている。グランド電位配線５と電源電位配線６とに挟まれた領域に設けられたビア孔４には導体ペーストまたは誘電体ペースト７が充填されている。

【００１２】基板３の形成用素材として、汎用のセラミックグリーンシートを使用した。導体ペーストは、CuO粉末（平均粒径 $3\mu\text{m}$ ）に接着強度を得るためのガラスフリット（日本電気硝子社製 LS-0803ガラス粉末、平均粒径 $3\mu\text{m}$ ）を、２．５重量％加えたものを無機成分とし、有機バインダであるエチルセルロースをターピネオールに溶かしたビヒクルを加えて、３段ロールにより適度な粘度になるように混合して作製した。ビア孔４の内部に誘電体７を形成するために用いる誘電体ペーストは誘電体組成（モル比）が、 $\text{Pb}_{1.0}\text{Ca}_{0.01}(\text{Mg}_{1/3}\text{Nb}_{2/3})_{0.8}\text{Ti}_{0.125}(\text{Ni}_{1/2}\text{W}_{1/2})_{0.075}\text{O}_{3.01}$ となるように配合し、配合済み粉末に有機バインダとしてポリビニルブチラール、可塑剤としてジエチルフタレート１５重量％加えて、３段ロールにより適度な粘度になるように混合して作製した。まず、前記グリーンシートにビア孔をあけ、導体用のビアホールをマスクして前記誘電体ペーストでビアホールをグリーンシートの下から吸引しながらスクリーン印刷で埋めた。次に高誘電体をビアホール埋めした部分にマスクを行い、前記導体ペーストでグリーンシートの下から吸引しながらスクリーン印刷で埋め、空气中で乾燥した。次に前記積層体を空气中、 600°C の温度において脱バインダを行なった。その後積層体を水素ガス１００％雰囲気中で 200°C 、５時間で還元した。この時のCu層をX線回折により分析したところ１００％Cuであることを確認した。最後に純窒素中 900°C のメッシュベルト炉で焼成した。焼成済みのセラミック基板にビア孔埋め後のグリーンシートに、半導体素子２のグランド配線と電源配線とで高誘電体を充填しているビアホールの端を挟むように導体ペーストでスクリーン印刷して配線パターンを形成した。その後純窒素中 900°C のメッシュベルト炉で焼成した。配線パターン用導体としては、一般に市販されているデュポン（Dupont）社製QP153ペーストを使用した。前記焼結済みセラミック配

線基板３上に半導体素子２をフリップチップで実装した。

【００１３】セラミック配線基板３の面積は $20\text{mm}\times 20\text{mm}$ とし、コンデンサ形成部の面積は $0.5\text{mm}\phi$ 、コンデンサ部の誘電率 8000 （ 1MHz 、 25°C ）、 $\tan\delta$ （％） <0.7 、絶縁体厚み 0.3mm とした。

【００１４】その結果、グランド電位層と電源電位層の間に約 $0.004\mu\text{F}$ の容量を持たせることができた。よって $0.004\mu\text{F}$ の容量をもつコンデンサ内蔵の半導体装置の作製が可能となり、基板内で発生する雑音に対処できた。

【００１５】

【発明の効果】以上説明した通り、本発明の半導体装置によれば、セラミック配線基板の内部に導電性物質を充填したビアホールと誘電性物質を充填したビアホールとを備えたことにより、雑音対策に有効なバイパスコンデンサを基板上に実装する必要がなくなり、コンデンサ部品を減らすことができ、部品のコスト削減が可能となる。また半導体素子を備えたセラミック配線基板の第一面にグランド電位の導体層を備え、セラミック配線基板の第二面に電源電位の導体層を備え、第一面の電位と第二面の電位とが異なる前記グランド電位の導体層と電源電位の導体層とに挟まれ、かつ誘電性物質を充填したビアホールからなる容量発生領域を備えることにより、非常に小さな領域にコンデンサを内蔵させることができる。また半導体素子を備えたセラミック配線基板の半導体素子側に電極を１層、反対面に１層備えることにより、コンデンサ内蔵基板を２層基板で構成することが可能となる。

【図面の簡単な説明】

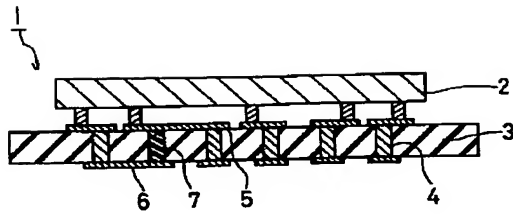
【図１】本発明の一実施例のコンデンサ内蔵の半導体装置の断面図。

【図２】従来例のコンデンサ内蔵の半導体装置の断面図。

【符号の説明】

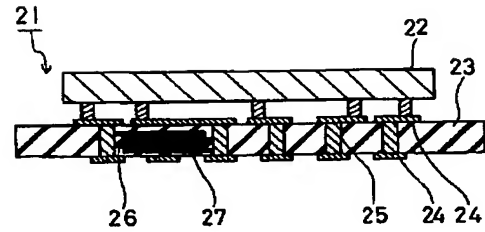
- １、２１ 半導体装置
- ２、２２ 半導体素子
- ３、２３ セラミック配線基板
- ４、２５ ビアホール
- ５ グランド電位配線
- ６ 電源電位配線
- ７ 誘電体
- ２４ 電極
- ２６ 内部電極
- ２７ 誘電体

【図 1】



- 1 半導体装置
- 2 半導体素子
- 3 セラミック配線基板
- 4 ビアホール
- 5 グランド電位配線
- 6 電線電位配線
- 7 誘電体

【図 2】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

H 0 1 L 23/12

技術表示箇所

E

(72) 発明者 戸村 善広

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 三浦 和裕

大阪府門真市大字門真1006番地 松下電器
産業株式会社内